

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156172  
(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 21/82  
H01L 23/12  
H01L 27/04  
H01L 21/822

## Best Available Copy

(21) Application number : 11-332807

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22) Date of filing : 24.11.1999

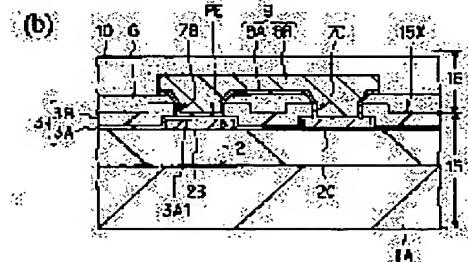
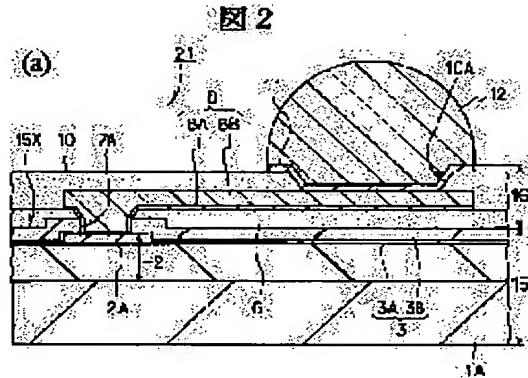
(72)Inventor : HARA YUJI  
YONETANI TOUTA  
TAKAHASHI SHINO

**(54) SEMICONDUCTOR DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve the reliability of a semiconductor device after it is mounted on a mounted substrate.

**SOLUTION:** In this semiconductor device, a pad rearrangement layer where an electrode pad is rearranged on one face of the semiconductor substrate and a program element changing circuit constitution. The program element has antifuse structure, where wirings are electrically connected by electrical breakdown.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-156172

(P2001-156172A)

(43)公開日 平成13年6月8日 (2001.6.8)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 21/82  
23/12  
27/04  
21/822

識別記号

F I  
H 0 1 L 21/82  
23/12  
27/04

F 5 F 0 3 8  
P 5 F 0 6 4  
L  
E

マーク (参考)

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21)出願番号 特願平11-332807

(22)出願日 平成11年11月24日 (1999.11.24)

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号

(72)発明者 原 雄次

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

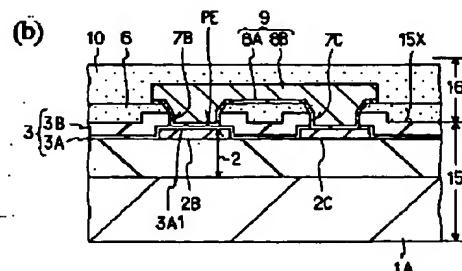
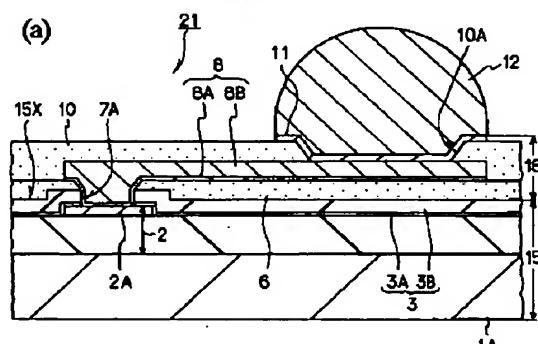
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 実装基板に実装した後の半導体装置の信頼性を高める。

【解決手段】 半導体基板の一主面上に、電極パッドを再配置するパッド再配置層と、回路構成を変更するプログラム素子とを有する半導体装置において、前記プログラム素子は、電気的な破壊によって配線間を電気的に接続するアンチヒューズ構造になっている。

図 2



## 【特許請求の範囲】

【請求項1】 半導体基板の一主面上に、電極パッドを再配置するパッド再配置層と、回路構成を変更するプログラム素子とを有し、

前記プログラム素子は、電気的な破壊によって配線間を電気的に接続するアンチヒューズ構造になっていることを特徴とする半導体装置。

【請求項2】 一主面に、第1の電極パッドと、この第1の電極パッドよりも上層に形成された保護膜とを有する半導体チップと、

前記保護膜よりも上層に形成された第1の絶縁膜と、前記第1の絶縁膜よりも上層に形成された第1の配線と、前記第1の配線よりも上層に形成された第2の絶縁膜と、前記第1の配線を介して前記第1の電極パッドと電気的に接続された第2の電極パッドとを有するパッド再配置層と、

第2の配線の一部分と前記第2の配線よりも上層に形成された第3の配線の一部分との間にアンチヒューズ膜を有するアンチヒューズ構造であって、前記アンチヒューズ膜が前記保護膜と同一の層に形成され、前記第3の配線が前記第1の配線と同一の層に形成されたアンチヒューズ構造からなるプログラム素子とを有することを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、前記保護膜は、第3の絶縁膜と、前記第3の絶縁膜上に形成され、かつ前記第3の絶縁膜よりも厚い膜厚で形成された第4の絶縁膜とを有する積層膜で形成され、前記アンチヒューズ膜は、前記第3の絶縁膜と同一の層に形成されていることを特徴とする半導体装置。

【請求項4】 請求項2に記載の半導体装置において、前記第1の配線は、第1の金属膜と、前記第1の金属膜上に形成され、かつ前記第1の金属膜よりも厚い膜厚で形成された第2の金属膜とを有する積層膜で形成され、前記第3の配線は、前記第2の配線と同一の層に形成された第4の配線の一部分と電気的に接続され、更に、前記第1の金属膜と同一の層に形成されていることを特徴とする半導体装置。

【請求項5】 請求項2に記載の半導体装置において、前記パッド再配置層上に、前記第2の電極パッドと電気的に接続された突起状電極を更に有することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、半導体基板上にパッド再配置層及びプログラム素子とを有する半導体装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】携帯電話、携帯型情報処理端末機器、携帯型パーソナル・コンピュータ等の小型電子機器に組み

込まれる半導体装置においては、薄型化、小型化及び多ピン化が要求される。そこで、このような要求に好適な半導体装置として、C S P (Chip Size Package) 型と呼称される半導体装置が開発されている。このC S P 型半導体装置においては、種々な構造のものが提案され、製品化されているが、近年、例えば日経B P社発行の日経マイクロデバイス [1998年8月号、第44頁乃至第71頁] に記載されているように、ウエハ・プロセス (前工程) とパッケージ・プロセス (後工程) とを10 一体化した製造技術によって製造される新しいC S P 型半導体装置 (以下、ウエハ・レベルC S P型半導体装置と呼ぶ) が開発されている。このウエハ・レベルC S P 型半導体装置は、パッケージの平面サイズが半導体チップの平面サイズとほぼ同一となるため、半導体ウエハから分割された半導体チップにパッケージ・プロセスを施して製造されるC S P 型半導体装置 (以下、チップ・レベルC S P型半導体装置と呼ぶ) と比べて、小型化及び低コスト化を図ることができる。

【0003】ウエハ・レベルC S P型半導体装置は、これに限定されないが、主に、回路が内蔵された半導体チップと、この半導体チップの回路形成面上に形成されたパッド再配置層と、このパッド再配置層上に外部接続用端子として配置された突起状電極とを有する構成になっている。半導体チップは、主に、半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された保護膜とを有する構成になっている。多層配線層のうちの最上層の配線層には電極パッドが形成され、保護膜には電極パッドを露出するボンディング開口が形成されている。パッド再配置層は、半導体チップの電極パッドに対して配列ピッチが広い電極パッドを形成するための層である。パッド再配置層の電極パッドは、対応する半導体チップの電極パッドと電気的に接続され、半導体装置が実装される実装基板の接続用端子 (配線の一部分) と同一の配列ピッチで配置される。突起状電極は、パッド再配置層の電極パッド上に配置され、電気的にかつ機械的に接続される。

【0004】一方、D R A M (Dynamic Random Access Memory) 、S R A M (Static RAM) 等の記憶回路は、製品の歩留まりを高めるため、不良ビットを冗長ビットに置き換える欠陥救済回路を備えている。欠陥救済回路としては、回路構成を変更する複数のプログラム素子で構成されたP R O M (Programmable Read Only Memory) 部に、ウエハテスト時において判明した不良ビットを含む不良ライン (ワード線、データ線) のアドレスを記憶させ、実使用時に不良ラインのアドレスが入力しても予備ラインに選択が切り替わる方式が採用されている。プログラム素子はレーザ若しくは電流での切断が可能なヒューズ構造になっている。

50 【0005】

【発明が解決しようとする課題】本発明者等は、前述のウエハ・レベルCSP型半導体装置に前述の記憶回路を搭載した場合、以下の問題が生じることを見出した。

【0006】ウエハ・レベルCSP型半導体装置においては、実装基板に実装した後の接続信頼性を確保するため、装置と実装基板との間の隙間領域にアンダーフィルと呼ばれる樹脂を充填する必要がある。

【0007】一方、ヒューズ構造からなるプログラム素子ではレーザ若しくは電流での切断時にガスが発生するため、プログラム素子上における絶縁膜の厚さが薄くなるように溝を形成して切断時のガスを有効に逃す必要がある。溝の形成は、ウエハ・レベルCSP型半導体装置の場合、パッド再配置層を形成した後に行うため、チップ・レベルCSP型半導体装置の場合と比べて溝の深さが深くなる。このような深い溝が形成された場合、実装工程において、ウエハ・レベルCSP型半導体装置と実装基板との間の隙間領域に樹脂を充填する際、溝の内部に樹脂の未充填によるボイドが発生し易くなる。ボイドの発生は、ウエハ・レベルCSP型半導体装置を実装した後の温度サイクル試験時において、半導体チップに亀裂が生じるといった不具合の要因となるため、ウエハ・レベルCSP型半導体装置の信頼性が低下する。

【0008】本発明の目的は、実装基板に実装した後の半導体装置の信頼性を高めることができが可能な技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】半導体基板の一主面上に、電極パッドを再配置するパッド再配置層と、回路構成を変更するプログラム素子とを有する半導体装置において、前記プログラム素子は、電気的な破壊によって配線間を電気的に接続するアンチヒューズ構造になっている。

【0012】上述した手段によれば、アンチヒューズ構造からなるプログラム素子の場合、プログラム素子上に溝を形成する必要がないので、実装工程において、半導体装置と実装基板との間の隙間領域に樹脂を充填する際、溝に起因して発生するボイドを排除することができる。この結果、実装基板に実装した後の半導体装置の信頼性を高めることができる。

#### 【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 【0014】(実施形態1) 図1は本発明の実施形態1

であるウエハ・レベルCSP型半導体装置の模式的平面図、図2は図1の半導体装置の概略構成を説明するための図((a)はパッド再配置層の構成を示す模式的断面図、(b)はプログラム素子の構成を示す模式的断面図)、図3は図1の半導体装置に搭載されたDRAMのメモリ冗長構成を示すブロック図である。

【0015】図1及び図2に示すように、本実施形態のウエハ・レベルCSP型半導体装置21は平面が方形状で形成され、本実施形態においては例えば4.7[m]×8.2[mm]の長方形で形成されている。半導体装置21は、主に、半導体チップ15と、この半導体チップ15の表裏面(互いに対向する一主面及び他の主面)のうちの表面(一主面)である回路形成面15X上に形成されたパッド再配置層16と、このパッド再配置層16上に外部接続用端子として配置された複数の突起状電極12とを有する構成になっている。

【0016】半導体チップ15は、半導体装置21の平面サイズと同一の平面サイズで形成されている。半導体チップ15は、図2に示すように、主に、半導体基板1Aと、この半導体基板1Aの表裏面(互いに対向する一主面及び他の主面)のうちの表面(一主面)である回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層2と、この多層配線層2を覆うようにして形成された保護膜3とを有する構成になっている。半導体基板1Aは例えば単結晶シリコンで形成され、多層配線層2の絶縁層は例えば酸化シリコン膜で形成され、多層配線層2の配線層は例えばアルミニウム(A1)膜又はアルミニウム合金膜等の金属膜で形成されている。保護膜3は、これに限定されないが、例えば、半導体基板1Aの回路形成面側から絶縁膜3A、絶縁膜3Bの夫々を順次積層した積層膜で形成されている。絶縁膜3Aは例えば0.3[μm]程度の膜厚の酸化シリコン膜で形成され、絶縁膜3Bは絶縁膜3Aよりも厚い膜厚(例えば1.3[μm]程度)の窒化シリコン膜で形成されている。

【0017】半導体チップ15の回路形成面15Xの中央部には、その長辺方向に沿って配列された複数の電極パッド2Aが形成されている。複数の電極パッド2Aの夫々は、半導体チップ15の多層配線層2のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された保護膜3で覆われている。

【0018】パッド再配置層16は、図2に示すように、主に、保護膜3上に形成された絶縁膜6と、この絶縁膜6上を延在する複数の配線8と、この複数の配線8を覆うようにして絶縁膜6上に形成された絶縁膜10と、この絶縁膜10の上層に形成された複数の電極パッド11とを有する構成になっている。

【0019】複数の配線8の夫々の一端側は、絶縁膜6及び保護膜3に形成された開口7Aを通して、複数の電極パッド2Aの夫々に電気的にかつ機械的に接続されて

いる。複数の配線8のうち、ほぼ半数の配線8の夫々の他端側は半導体装置21の互いに対向する二つの長辺のうちの一方の長辺側に引き出され、残りの配線8の夫々の他端側は半導体装置21の他方の長辺側に引き出されている。

【0020】複数の電極パッド11の夫々は、絶縁膜10に形成された開口10Aを通して、複数の配線8の夫々の一端側に夫々電気的にかつ機械的に接続されている。複数の電極パッド11の夫々には、パッド再配置層16上に配置された複数の突起状電極12が夫々電気的にかつ機械的に接続されている。複数の突起状電極12の夫々は、例えば、63 [wt%] 鉛(Pb) - 37 [wt%] 錫(Sn)組成の金属材からなる球形状バンプで形成されている。

【0021】パッド再配置層16は、半導体チップ15の電極パッド2Aに対して配列ピッチが広い電極パッド11を配置するための層であり、パッド再配置層16の電極パッド11は半導体装置21が実装される実装基板の接続用端子(配線の一部)の配列ピッチと同一の配列ピッチで配置される。

【0022】複数の電極パッド11の夫々は、これに限定されないが、図1に示すように、半導体装置21の互いに対向する二つの長辺側に夫々の長辺に沿って二列状態で配置されている。

【0023】パッド再配置層16において、絶縁膜6、絶縁膜10の夫々は、半導体装置21を実装基板に実装した後、実装基板との熱膨張差によって発生した応力が突起状電極12に集中するのを緩和するため、窒化シリコン膜や酸化シリコン膜と比べて弾性率が低い材料で形成され、更に保護膜3よりも厚い厚さで形成されている。本実施形態において、絶縁膜6、絶縁膜10の夫々は例えばポリイミド系の樹脂で形成され、絶縁膜6、絶縁膜10の夫々は例えば5~100 [μm]程度の厚さで形成されている。

【0024】配線8は、これに限定されないが、例えば、絶縁膜6側から導電膜8A、導電膜8Bの夫々を順次積層した積層膜で形成されている。導電膜8Aは例えば0.1 [μm]程度の膜厚のクロム(Cr)膜で形成されている。導電膜8Bは例えば銅(Cu)膜、ニッケル(Ni)膜の夫々を順次積層した積層膜で形成されている。導電膜8Bは導電膜8Aよりも厚い膜厚(例えば3.0 [μm]程度)で形成されている。

【0025】電極パッド11は、これに限定されないが、突起状電極12を形成する時の濡れ性を確保するため、例えばCr膜、72 [at%] Ni - 28 [at%] Cu組成の合金膜、金(Au)膜の夫々を順次積層した積層膜で形成されている。なお、Au膜は突起状電極12を形成する時のAuの拡散作用によってほぼ消滅する。

【0026】半導体チップ15には記憶回路として例え

ばDRAMが搭載されている。DRAMは、製品の歩留まりを高めるため、不良ビットを冗長ビットに置き換える欠陥救済回路を備えている。欠陥救済回路としては、図3に示すように、ウエハテスト時において判明した不良ビットを含む不良ライン(ワード線、データ線)のアドレスをPROM部(36A, 36B)に記憶させ、実使用時に不良ラインのアドレスが入力しても予備ラインに選択が切り替わる方式が採用されている。PROM部(36A, 36B)は回路構成を変更する複数のプログラム素子を有し、複数のプログラム素子はアンチヒューズ構造になっている。なお、図3において、30は正規のメモリセルアレイ部、31Aは行デコーダ部、32Aは予備行メモリ部、33Aは予備行デコーダ部、34Aは駆動信号切り替え回路部、35Aはアドレス比較回路部である。また、31Bは列デコーダ部、32Bは予備列メモリ部、33Bは予備列デコーダ部、34Bは駆動信号切り替え回路部、35Bはアドレス比較回路部である。

【0027】図2の(b)図に示すように、アンチヒューズ構造からなるプログラム素子PEは、配線の一部分からなる電極パッド2Bと、この電極パッド2Bよりも上層に形成された配線9の一端側の一部分との間にアンチヒューズ膜3A1を有する構成になっている。配線9の一端側の一部分は、絶縁膜6及び絶縁膜3Bに形成された開口7Bを通してアンチヒューズ膜3A1上に配置されている。配線9の他端側の一部分は、絶縁膜6及び保護膜3に形成された開口7Cを通して、配線の一部分からなる電極パッド2Cと電気的にかつ機械的に接続されている。

【0028】電極パッド2B及び2Cは、電極パッド2Aと同一の層に形成されている。配線9は、配線8と同一の層に形成されている。アンチヒューズ膜3A1は、保護膜3の絶縁膜3Aと同一の層に形成されている。即ち、本実施形態のアンチヒューズ膜3A1は酸化シリコン膜で形成されている。

【0029】アンチヒューズ膜3A1は、外部からの書き込み電極(Vpf)によって絶縁破壊される。即ち、本実施形態のプログラム素子PEは、アンチヒューズ膜3A1の電気的な破壊によって配線間を電気的に接続するアンチヒューズ構造になっている。

【0030】ところで、PROM部(36A, 36B)へのデータの書き込みは、PROM部の回路構成をプログラム素子で変更することによって行なわれる。ヒューズ構造からなるプログラム素子の場合、プログラム素子をレーザ又は電流によってプログラム素子を遮断することによりPROM部の回路構成が変更されるため、プログラム素子上における絶縁膜の厚さが薄くなるように溝を形成して切断時のガスを有効に逃す必要がある。また、溝の形成はパッド再配置層を形成した後に行なわれるため、ウエハ・レベルCSP型半導体装置においては

溝の深さが深くなる。一方、アンチヒューズ構造からなるプログラム素子の場合、薄いアンチヒューズ膜の電気的な破壊（絶縁破壊）によりPROM部の回路構成が変更されるため、ヒューズ構造のようにプログラム素子上に深い溝を形成する必要がない。

【0031】次に、ウエハ・レベルCSP型半導体装置21の製造について、図4乃至図12を用いて説明する。

【0032】図4は半導体装置の製造に用いられる半導体ウエハの模式的平面図、図5は半導体装置の製造において、ウエハ前工程処理を説明するための半導体ウエハの模式的平面図、図6及び図7は半導体装置の製造において、ウエハ前工程処理を説明するための半導体ウエハの模式的断面図、図8乃至図11は半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図、図12は半導体装置の製造において、ダイシング工程を説明するための模式的断面図である。なお、図6乃至図11において、(a)図は図2の(a)図と対応し、(b)図は図2の(b)図と対応している。

【0033】まず、図4に示す半導体ウエハ（半導体基板）1を準備する。半導体ウエハ1としては、例えば725[μm]程度の厚さの単結晶シリコンからなるものを用いる。

【0034】次に、半導体ウエハ1にウエハ前工程処理を施して、図5に示すように、半導体ウエハ1の表裏面（互いに対向する一主面及び他の主面）のうちの表面（一主面）である回路形成面側に、記憶回路としてDRAMを有する複数のチップ形成領域4を行列状に形成する。複数のチップ形成領域4の夫々は、半導体ウエハ1を切断するためのダイシング領域（スクライプ領域）5を介して互いに離間された状態で配置されている。複数のチップ形成領域4の夫々は、半導体ウエハ1の回路形成面側に、主に、トランジスタ素子、容量素子、多層配線層2、電極パッド2A、2B、2C及び保護膜3等を形成することによって形成される。保護膜3は、電極パッド（2A、2B、2C）上を含む多層配線層2上の全面に薄い絶縁膜（酸化シリコン膜）3Aを形成し、その後、図6に示すように、電極パッド（2A及び2C）上における絶縁膜3Aの一部を除去し、その後、図7に示すように、露出された電極パッド（2A及び2C）上を含む絶縁膜3A上の全面に絶縁膜3Aよりも厚い絶縁膜（窒化シリコン膜）3Bを形成することによって形成される。電極パッド2B上における絶縁膜3Aはアンチヒューズ膜3A1として使用される。

【0035】次に、各チップ形成領域4にパッド再配置層16を形成する。具体的には、まず、保護膜3上の全面に絶縁膜（ポリイミド系の樹脂）6を回転塗布法で形成し、その後、図8に示すように、絶縁膜6及び絶縁膜3Bに、電極パッド2Aの一部を露出する開口7A、電

極パッド2C上におけるアンチヒューズ膜3A1を露出する開口7B及び電極パッド2Cの一部を露出する開口7Cを形成する。次に、開口（7A、7B、7C）の内部を含む絶縁膜6上の全面に導電膜（Cr膜）8Aを形成し、その後、図9に示すように、導電膜8A上に、配線パターンを有するマスクM1を形成する。マスクM1の配線パターンは、配線（8）及び配線（9）を形成するためのパターンを含む。次に、マスクM1から露出する導電膜8A上に導電膜（Cu膜/Ni膜）8Bをメスキ法で形成し、その後、マスクM1を除去し、その後、導電膜8Bから露出する導電膜8Aを選択的に除去する。この工程において、配線8及び配線9が形成されると共に、アンチヒューズ構造からなるプログラム素子PEが形成される。次に、配線8及び9上を含む絶縁膜6上の全面に絶縁膜（ポリイミド系の樹脂）10を回転塗布法で形成し、その後、絶縁膜10に配線8の他端側の一部分を露出する開口10Aを形成し、その後、開口10Aの内部を含む絶縁膜10上の全面に積層膜（Cr膜/Ni-Cu組成の合金膜/Au膜）を形成し、その後、積層膜にパターンニングを施して図11に示すように電極パッド11を形成する。これにより、パッド再配置層16が形成されると共に、電極パッド2Aよりも配列ピッチが広い電極パッド11が形成される。

【0036】次に、半導体ウエハ1の他の主面である裏面を研削して厚さを薄くし、その後、電極パッド11上に突起状電極12を形成する。突起状電極12は、これに限定されないが、例えば、電極パッド11上に球形状の半田材をボール供給法で供給し、その後、球形状の半田材を赤外線リフロー法で溶融することによって形成する。なお、突起状電極12は、例えば、電極パッド12上にスクリーン印刷法で半田ペースト材を印刷し、その後、半田ペースト材を赤外線リフロー法で溶融することによって形成してもよい。

【0037】次に、各チップ形成領域4に形成されたDRAMが所定の機能通りに動作するか否かを確認するためのファンクションテストを実施し、その後、ファンクションテスト時において判明した不良ビットを含む不良ライン（ワード線、データ線）のアドレスをPROM部（36A、36B）に記憶させ、実使用時に不良ラインのアドレスが入力しても予備ラインに選択が切り替わるようになる。PROM部（36A、36B）へのデータの書き込みは、プログラム素子PEに高電圧を印加してPROM部の回路構成を変更することによって行なわれる。これにより、不良ビットは冗長ビットに置き換えられるため、半導体装置21の製造における歩留まりを高めることができる。

【0038】次に、ウエハ・レベルの状態でバーンイン試験を施す。バーンイン試験は、顧客での使用条件よりも過酷な条件（附加を与えた状態）で各チップ形成領域4の回路動作を行い、顧客での使用中に欠陥になるも

の、ある意味では欠陥を加速的に発生せしめ、顧客に出荷する前の初期段階において不良品の排除を目的とする選別試験である。

【0039】次に、ダイシングシート25の粘着層側に半導体ウエハ1を貼り付け、その後、図12に示すように、半導体ウエハ1及びパッド再配置層16をダイシング装置で各チップ形成領域4毎に分割する。これにより、ウエハ・レベルCSP型半導体装置21がほぼ完成する。

【0040】このように構成された半導体装置21は、図13(実装基板に実装した状態の模式的断面図)に示すように、実装基板40に実装される。半導体装置21の実装は、突起状電極12を溶融して半導体装置21の電極パッド11と実装基板40の接続用端子(配線の一部分)41とを電気的にかつ機械的に接続し、その後、半導体装置21と実装基板40との間の間隙領域に樹脂(アンダーフィル)42を充填することによって行なわれる。この半導体装置21の実装工程において、ヒューズ構造のプログラム素子の場合、プログラム素子上に深い溝が形成されるため、溝の内部に樹脂の未充填によるポイドが発生し易いが、アンチヒューズ構造のプログラム素子PEの場合、プログラム素子PE上に深い溝を形成する必要がないので、図14に示すように、溝に起因して発生するポイドを排除することができる。

【0041】このように、本実施形態によれば、以下の効果が得られる。

(1) PROM部のプログラム素子PEは、アンチヒューズ構造になっている。このような構成にすることにより、アンチヒューズ構造からなるプログラム素子PEの場合、プログラム素子PE上に溝を形成する必要がないので、実装工程において、半導体装置21と実装基板40との間の間隙領域に樹脂42を充填する際、溝に起因して発生するポイドを排除することができる。この結果、実装基板40に実装した後の半導体装置21の信頼性を高めることができる。

(2) プログラム素子PEは、配線の一部分からなる電極パッド2Bと、この電極パッド2Bよりも上層に形成された配線9の一端側の一部分との間にアンチヒューズ膜3A1を有するアンチヒューズ構造であって、アンチヒューズ膜3A1が保護膜3の絶縁膜3Aと同一の層で形成され、配線9が配線8と同一の層に形成されたアンチヒューズ構造からなる。このような構成にすることにより、プロセス上新たな層を追加することなく、アンチヒューズ構造からなるプログラム素子PEを形成することができる。

【0042】なお、本実施形態では、Cr膜を有する積層膜で配線8及び9を形成した例について説明したが、配線8及び9は、Ti、W、TiN、TiW等の高融点金属膜或はこれらの化合物からなる膜を有する積層膜で形成してもよい。

【0043】また、本実施形態では、酸化シリコン膜でアンチヒューズ膜3A1を形成した例について説明したが、アンチヒューズ膜3A1は、窒化膜、非晶質シリコン膜等で形成してもよい。

【0044】また、本実施形態では、配線8よりも上層に形成された電極パッド11を有するパッド再配置層16について説明したが、再配置される電極パッドは配線8と同一の層に形成してもよい。この場合、突起状電極12は配線8の一部分からなる電極パッド上に配置される。

【0045】また、本実施形態では、半導体装置21の製造プロセスにおいて突起状電極12を形成する例について説明したが、突起状電極12は半導体装置の実装工程において形成してもよい。

【0046】また、本実施形態の説明においては、半導体チップ15とパッド再配置層16とを別々な構成部として説明しているが、パッド再配置層16は半導体チップ15の構成部として見做してもよい。

【0047】(実施形態2) 図15は本発明の実施形態2であるウエハ・レベルCSP型半導体装置の概略構成を説明するための図((a)はパッド再配置層の構成を示す模式的断面図、(b)はプログラム素子の構成を示す模式的断面図)である。

【0048】図15に示すように、本実施形態の半導体装置22は基本的に前述の実施形態1と同様の構成になっており、以下の構成が異なっている。

【0049】即ち、配線9は、その中間部分が保護膜3の絶縁膜3Bと接するように形成されている。このような構成にすることにより、配線9の中間部分と保護膜3との間には、突起状電極12に集中する応力を緩和するための低弾性率材料からなる絶縁膜6が存在しないので、熱による配線9の変形を抑制することができる。この結果、アンチヒューズ構造からなるプログラム素子PEの信頼性を高めることができる。

【0050】また、保護膜3の絶縁膜3Bにおける開口のアスペクト比を小さくすることができるので、アンチヒューズ膜3A1上における開口内に配線9の一端側の一部分を確実に埋め込むことができると共に、電極パッド2Cと配線9の他端側の一部分とを確実に接続することができる。

【0051】(実施形態3) 図16は本発明の実施形態3であるウエハ・レベルCSP型半導体装置の概略構成を説明するための図((a)はパッド再配置層の構成を示す模式的断面図、(b)はプログラム素子の構成を示す模式的断面図)である。

【0052】図16に示すように、本実施形態の半導体装置23は基本的に前述の実施形態1と同様の構成になっており、以下の構成が異なっている。

【0053】即ち、配線9は、導電膜(Cr膜)8Aからなる単層構成になっている。アンチヒューズ膜3A1

の電気的な破壊は、電極パッド2Bと電極パッド2Cとの間に電流が流れた時のジュール熱によって行なわれるため、熱抵抗の大きい材料で配線9を形成した方が優れた特性が得られる。従って、導電膜(Cr膜)8Aからなる単層構造で配線9を形成することにより、配線9の熱抵抗が大きくなるので、アンチヒューズ膜3A1の電気的な破壊を確実に行なうことができる。

【0054】单層構造の配線9の形成について、図17及び図18(パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図)を用いて説明する。なお、図17及び図18において、(a)図は図16の(a)図と対応し、(b)図は図16の(b)と対応している。

【0055】前述の実施形態1で説明した製造方法によって導電膜(Cr膜)8Aまで形成し、その後、図17に示すように、導電膜8A上に、配線(8)を形成するための配線パターンを有し、かつ配線(9)が形成される領域を覆うマスクM2を形成する。次に、マスクM2から露出する導電膜8上に導電膜(Cu膜/Ni膜)8Bをメッキ法で形成し、その後、マスクM2を選択的に除去する。次に、導電膜8上に、配線(9)を形成するためのマスクM3を形成し、その後、図18に示すように、導電膜8B及びマスクM3から露出する導電膜8Aを選択的に除去する。これにより、導電膜8A及び導電膜8Bからなる積層構造の配線8が形成されると共に、導電膜8Aからなる単層構造の配線9が形成される。

【0056】(実施形態4)図19は本発明の実施形態4であるウエハ・レベルCSP型半導体装置の概略構成を説明するための図((a)はパッド再配置層の構成を示す模式的断面図、(b)はプログラム素子の構成を示す模式的断面図)である。

【0057】図19に示すように、本実施形態の半導体装置24は基本的に前述の実施形態3と同様の構成になっており、以下の構成が異なっている。

【0058】即ち、配線9は、その中間部分が保護膜3の絶縁膜3Bと接するように形成されている。このような構成により、配線9の中間部分と保護膜3との間には、突起状電極12に集中する応力を緩和するための低弾性率材料からなる絶縁膜6が存在しないので、薄い導電膜8Aからなる単層構造の配線9においても、熱による配線9の変形を抑制することができる。この結果、アンチヒューズ構造からなるプログラム素子PEの信頼性を高めることができる。

【0059】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0060】例えば、本発明は、SRAMを有するウエハ・レベルCSP型半導体装置に適用することができ

る。

【0061】また、本発明は、同一基板にDRAM、SRAM等の記憶回路及び論理回路を有するウエハ・レベルCSP型半導体装置に適用することができる。

【0062】また、本発明は、電源回路の回路構成をプログラム素子によって変更することができる機能を備えたウエハ・レベルCSP型半導体装置に適用することができる。

【0063】

10 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0064】本発明によれば、実装基板に実装した後の半導体装置の信頼性を高めることができる。

【0065】本発明によれば、プロセス上新たな層を追加することなく、アンチヒューズ構造のプログラム素子を形成することができる。

【図面の簡単な説明】

20 【図1】本発明の実施形態1である半導体装置の模式的平面図である。

【図2】図1の半導体装置の概略構成を説明するための図((a)はパッド再配置層の構成を示す模式的断面図、(b)はプログラム素子の構成を示す模式的断面図)である。

【図3】図1の半導体装置に搭載されたDRAMのメモリ冗長構成を示すブロック図である。

【図4】図1の半導体装置の製造に用いられる半導体ウエハの模式的平面図である。

30 【図5】図1の半導体装置の製造において、ウエハ前工程処理を説明するための半導体ウエハの模式的平面図である。

【図6】図1の半導体装置の製造において、ウエハ前工程処理を説明するための半導体ウエハの模式的断面図である。

【図7】図1の半導体装置の製造において、ウエハ前工程処理を説明するための半導体ウエハの模式的断面図である。

40 【図8】図1の半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図である。

【図9】図1の半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図である。

【図10】図1の半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図である。

【図11】図1の半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図である。

50 【図12】図1の半導体装置の製造において、ダイシン

グ工程を説明するための模式的断面図である。

【図13】図1の半導体装置を実装基板に実装した状態の模式的断面図である。

【図14】図13の一部を拡大した模式的断面図である。

【図15】本発明の実施形態2である半導体装置の概略構成を説明するための図（（a）はパッド再配置層の構成を示す模式的断面図、（b）はプログラム素子の構成を示す模式的断面図）である。

【図16】本発明の実施形態3である半導体装置の概略構成を説明するための図（（a）はパッド再配置層の構成を示す模式的断面図、（b）はプログラム素子の構成を示す模式的断面図）である。

【図17】図16の半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模式的断面図である。

【図18】図16の半導体装置の製造において、パッド再配置層の形成工程を説明するための半導体ウエハの模

式的断面図である。

【図19】本発明の実施形態4である半導体装置の概略構成を説明するための図（（a）はパッド再配置層の構成を示す模式的断面図、（b）はプログラム素子の構成を示す模式的断面図）である。

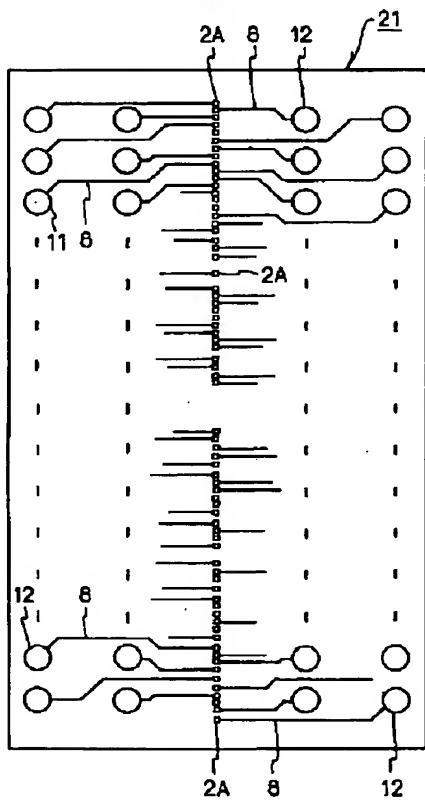
【符号の説明】

1…半導体ウエハ、2…多層配線層、2A, 2B, 2C  
…電極パッド、3…保護膜、3A1…アンチヒューズ  
膜、4…チップ形成領域、5…ダイシング領域、6…絶

10 緣膜、7A, 7B, 7C…開口、8, 9…配線、10…  
絶縁膜、11…電極パッド、12…突起状電極、15…  
半導体チップ、16…パッド再配置層、21, 22, 2  
3, 24…半導体装置、30…正規のメモリセルアレイ  
部、32A…予備行メモリ部、32B…予備列メモリ  
部、33A…予備行デコーダ部、33B…予備列デコー  
ダ部、34A, 34B…駆動信号切り替え回路部、35  
A, 35B…アドレス比較回路部、36A, 36B…P  
ROM部、40…実装基板。

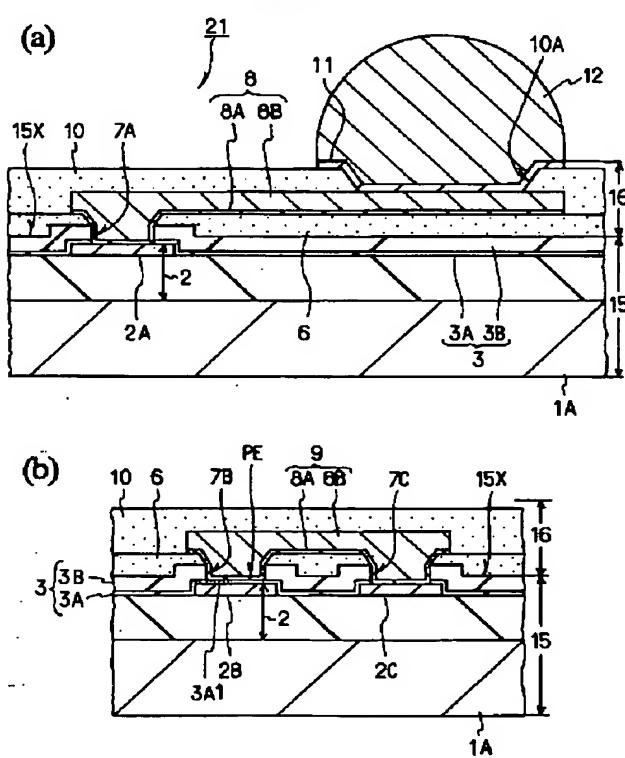
【図1】

図1



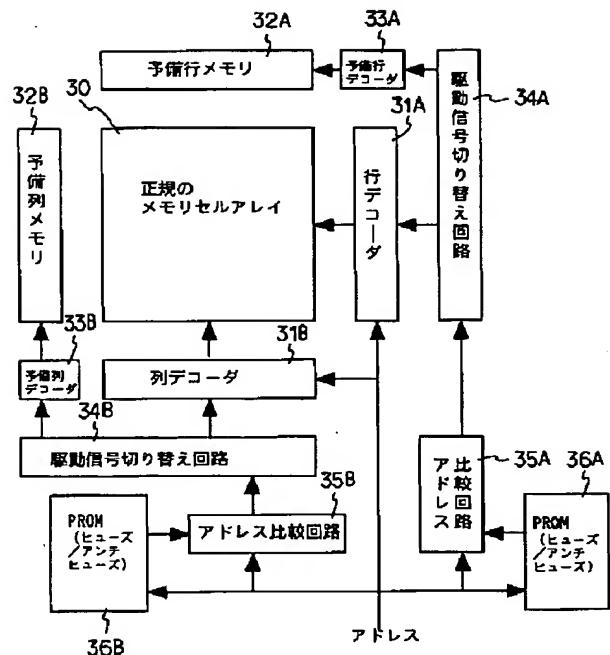
【図2】

図2



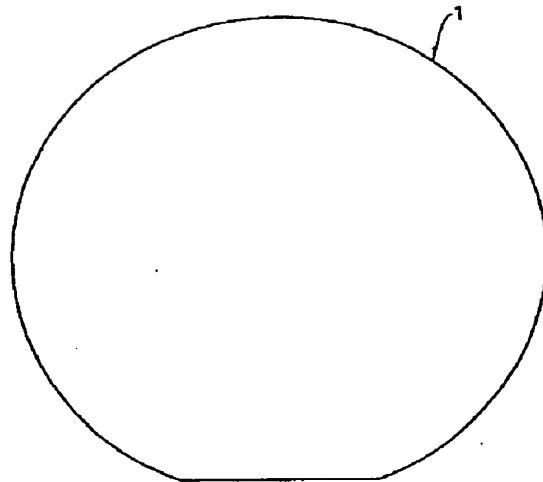
【図3】

図3



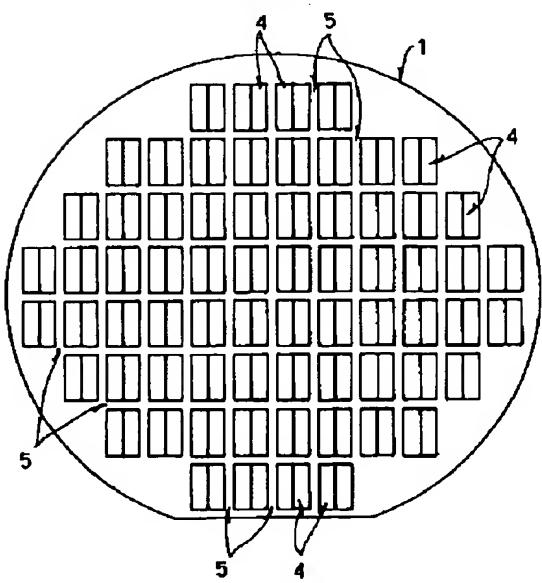
【図4】

図4



【図5】

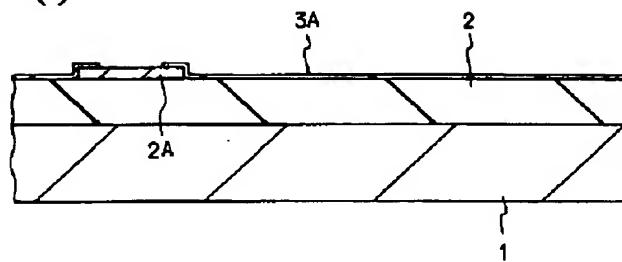
図5



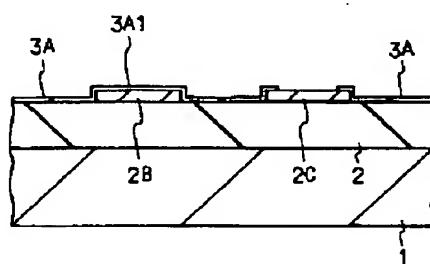
【図6】

図6

(a)



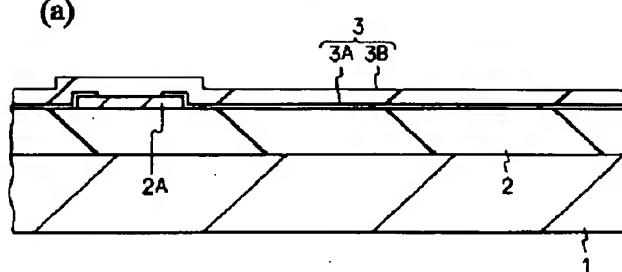
(b)



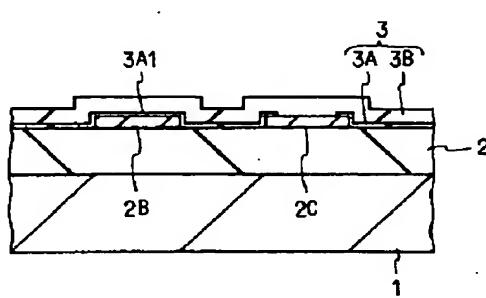
【図7】

図7

(a)

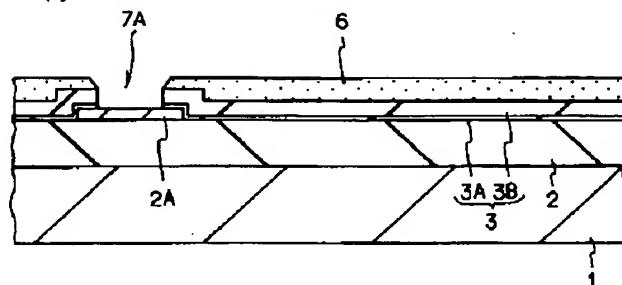


(b)

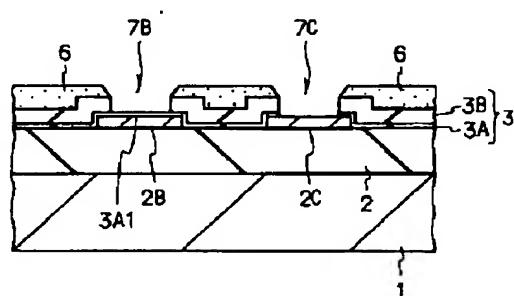


【図8】

(a) 図8

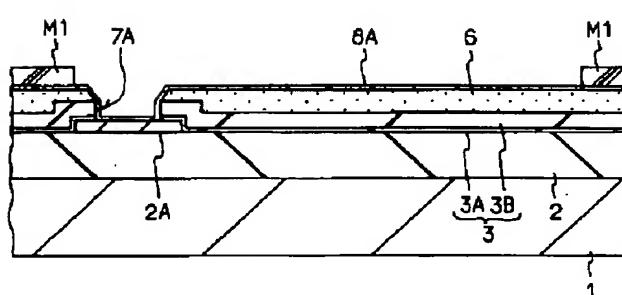


(b)

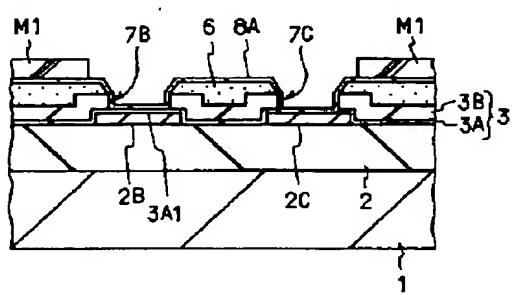


【図9】

(a) 図9



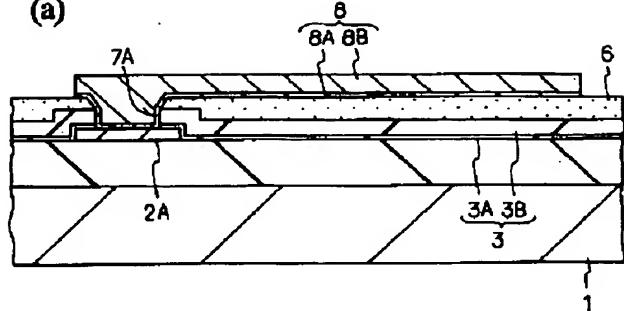
(b)



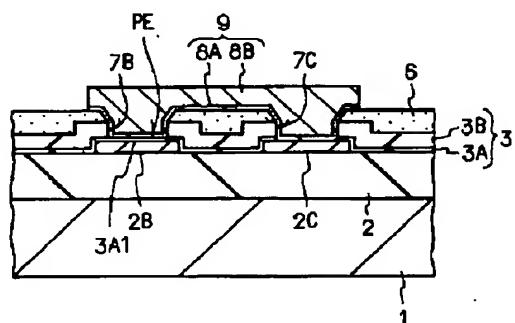
【図10】

図10

(a)

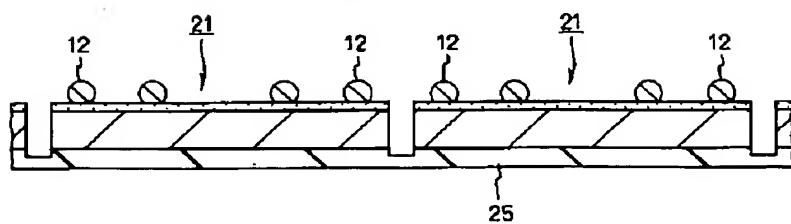


(b)



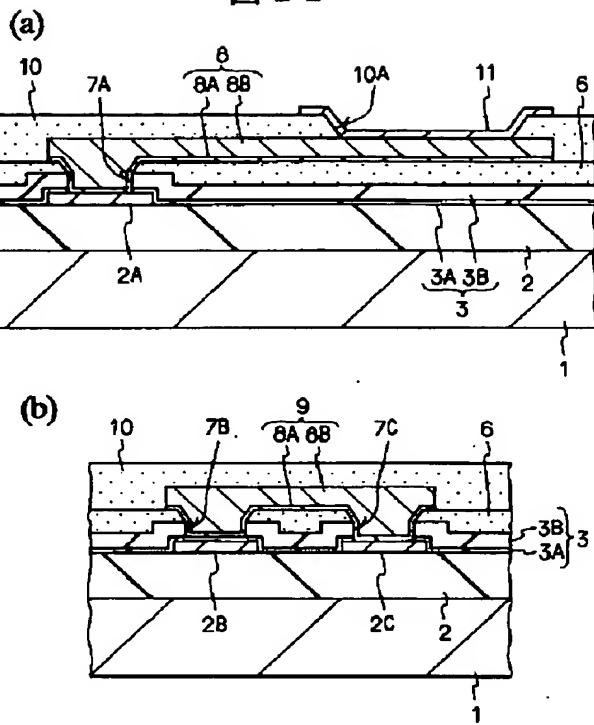
【図12】

図12



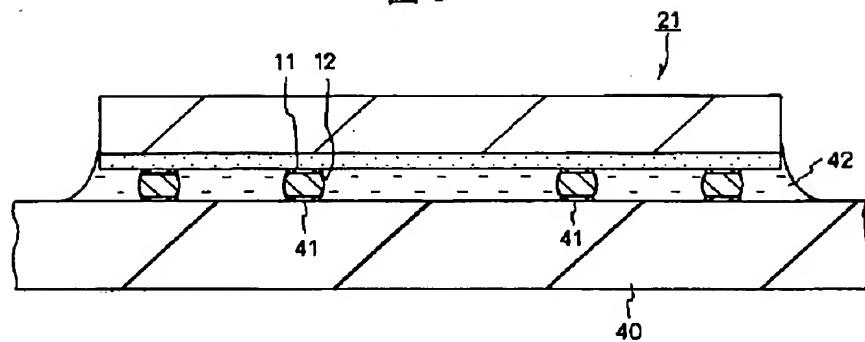
【図11】

図11



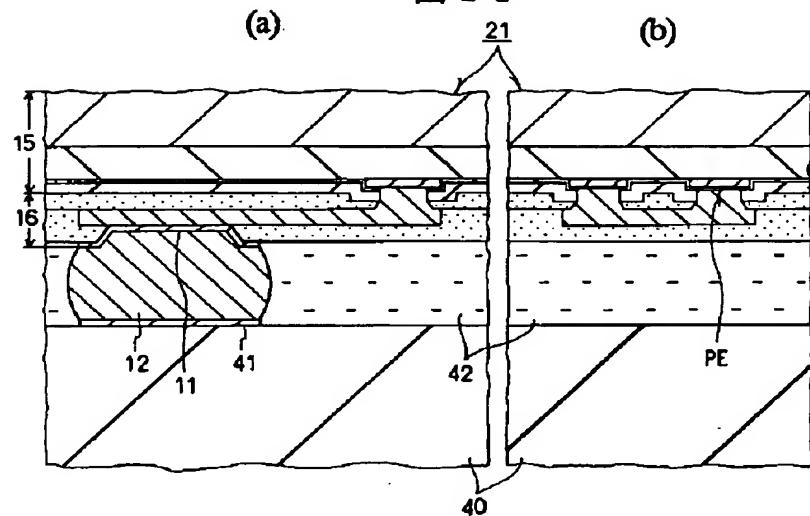
【図13】

図13



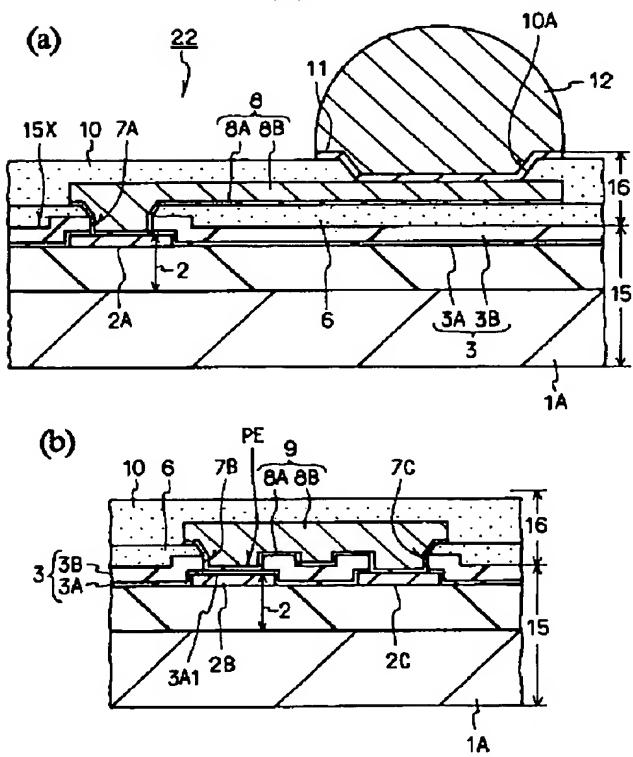
【図14】

図14



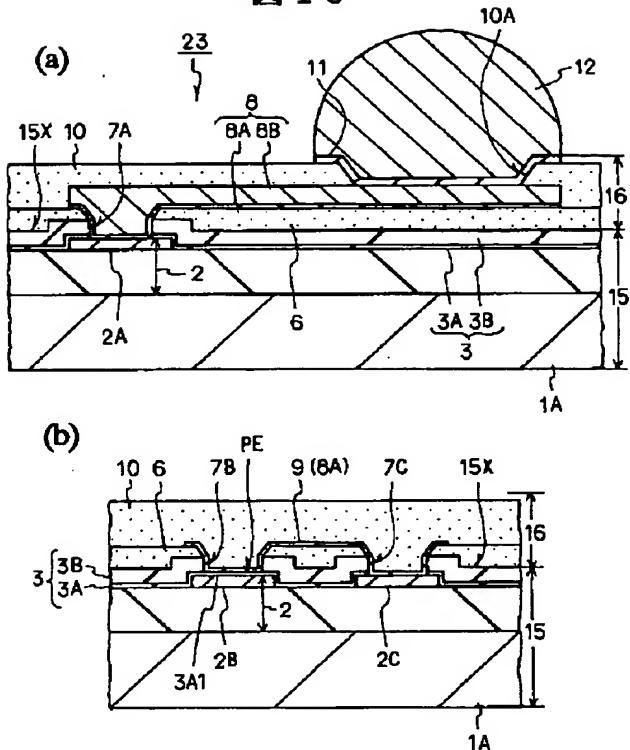
【図15】

図15



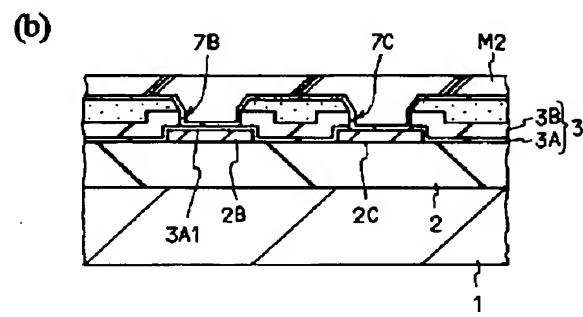
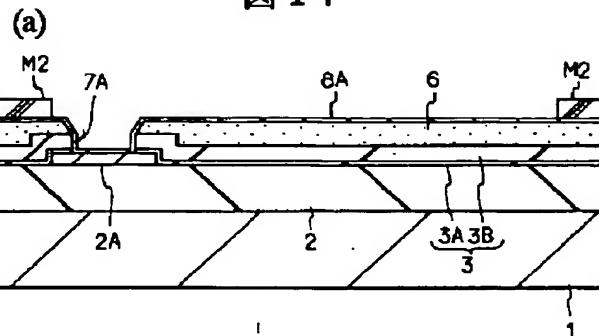
【図16】

図16



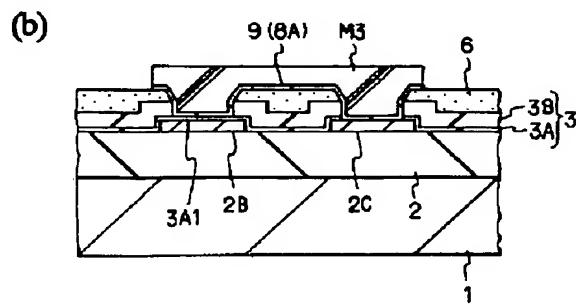
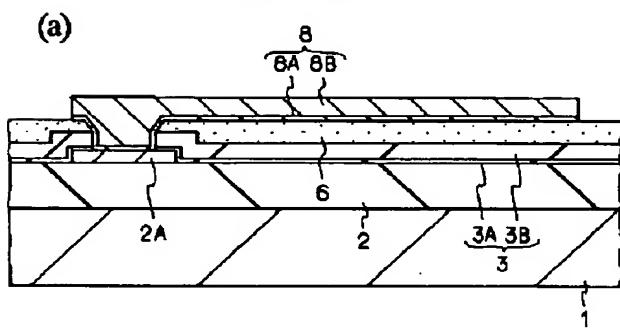
【図17】

図17



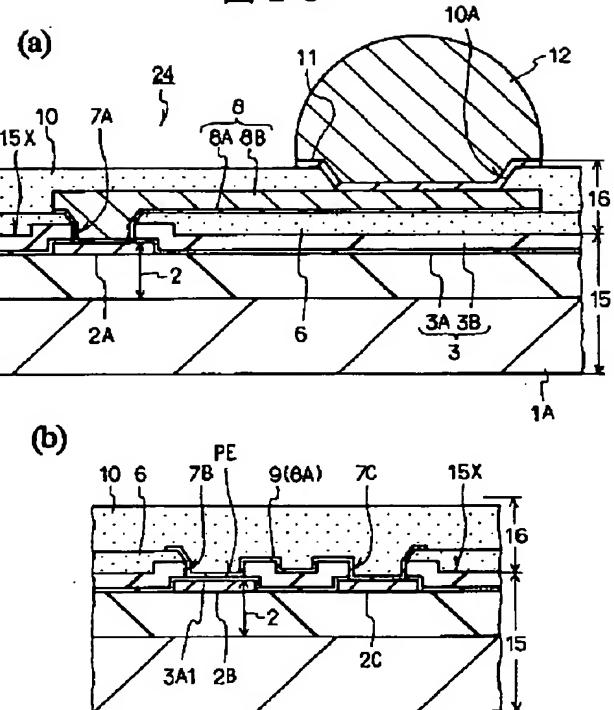
【図18】

図18



【図19】

図19



フロントページの続き

(72)発明者 米谷 統多

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72)発明者 ▲高▼橋 純濃

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F038 AV15 BE07 CA10 DF05 EZ20

5F064 BB13 BB15 DD42 EE22 EE34

EE53 FF02 FF28 FF29 FF45

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.